

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-166599

(43)Date of publication of application : 25.06.1996

(51)Int.Cl.

G02F 1/136
G02F 1/133
G02F 1/1343
G09G 3/36
H01L 29/786
H01L 21/336

(21)Application number : 06-308816

(71)Applicant : FUJITSU LTD

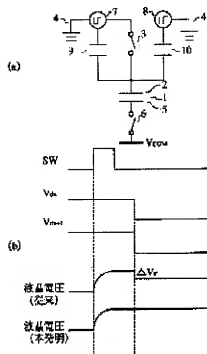
(22)Date of filing : 13.12.1994

(72)Inventor : YOSHIOKA HIROSHI
MORITA KEIZO
MURAKAMI HIROSHI
ITOKAZU MASASHI
NAKABAYASHI KENICHI
YAMAMOTO AKIRA

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To lessen the unequal luminance in a display panel of an active matrix type liquid crystal display device of a high pixel opening rate.

CONSTITUTION: This liquid crystal display device is provided with pixel electrodes 2 so as to overlap on a part of n -th signal line 4 and the $(n+1)$ th signal line 4 adjacent to the signal line and at least one pixel is provided with one divided counter electrode 5. The device is provided with an external signal power source which impresses a common voltage only when a scanning voltage is impressed on the divided counter electrode 5 and applies signal pulses to float the divided counter electrode 5 at other times.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-166599

(43) 公開日 平成8年(1996)6月25日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0		
	1/133	5 2 0		
	1/1343			
G 0 9 G	3/38			

9056-4M H 0 1 L 29/ 78 6 1 2 Z

審査請求 未請求 請求項の数10 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平6-308816

(22) 出願日 平成6年(1994)12月13日

(71) 出願人 00005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 吉岡 浩史

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 森田 敬三

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

最終頁に続く

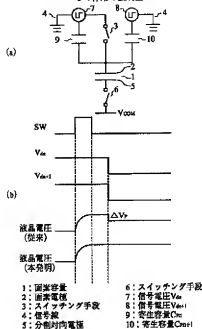
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 液晶表示装置に関し、高画素開口率のアクティブマトリクス型液晶表示装置における表示パネル内の輝度ムラを少なくする。

【構成】 n番目の信号線4とこの信号線に隣接するn+1番目の信号線4の一部に重なるように画素電極2を設けると共に、少なくとも1画素に対して1つの分割対向電極5を設け、分割対向電極5に対して走査電圧が印加された時のみ共通電圧を印加し、それ以外の時には分割対向電極5をフローティングにする信号パルスを与える外部信号電源を設ける。

本発明の第1の実施例の原理的構成及び
その作用の説明図



(2)

特開平8-166599

1

【特許請求の範囲】

【請求項1】 n番目の信号線とこの信号線に隣接するn+1番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、少なくとも1画素に対して1つの分割対向電極を設け、前記分割対向電極に対して走査電圧が印加された時にコマ電圧を印加し、それ以外の時には前記分割対向電極をフローティングにする信号パルスを与える外部信号電源を設けたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 n番目の信号線とこの信号線に隣接するn+1番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、走査線との画素に対して、ストライプ状対向電極を設け、且つ、前記ストライプ状対向電極にコマ電圧を印加する期間を、前記ストライプ状対向電極が束ねた走査線の数と一水平期間との積にすると共に、それ以外の時には前記ストライプ状対向電極をフローティングにする信号パルスを与える外部信号電源を設けたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】 上記画素をスイッチングする素子がアモルファスシリコンTFTであり、前記アモルファスシリコンTFTを駆動する信号駆動回路及び走査駆動回路をTFT基板及び対向基板の外側に設けたことを特徴とする請求項1又は2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 n番目の信号線とこの信号線に隣接するn+1番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、前記画素電極を挟んで前記各信号線と対向し且つ前記画素電極と容量結合するバスラインを設け、且つ、前記バスラインに、このバスラインに対向する前記各信号線に印加する信号とは反対の極性の信号を印加する手段を設けたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】 n番目の信号線とこの信号線に隣接するn+1番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、前記画素電極と前記n番目の信号線又はn+1番目の信号線の少なくとも一方との間に、前記画素電極と容量結合する導電性薄膜を設け、前記導電性薄膜に、前記導電性薄膜を設けた側とは別の側の信号線に印加する信号とは反対の極性の信号を印加する手段を設けたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項6】 n番目の信号線とこの信号線に隣接するn+1番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、前記各信号線を高抵抗薄膜で被覆したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項7】 n番目の信号線とこの信号線に隣接するn+1番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、前記各信号線の断面形状を逆メ

2

サ状にすることによって、前記各信号線との画素電極と、前記各信号線間の画素電極とを電気的に分断したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項8】 上記各信号線の下に、前記各信号線と同じ方向に延在する導電膜を設けたことを特徴とする請求項7記載のアクティブマトリクス型液晶表示装置。

【請求項9】 n番目の走査線とこの走査線に隣接するn+1番目の走査線の少なくとも一部に重なるように画素電極を設けると共に、前記各走査線の断面形状を逆メサ状にすることによって、前記各走査線との画素電極と、前記各走査線間の画素電極とを電気的に分断したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項10】 n番目の信号線とこの信号線に隣接するn+1番目の走査線の間に、前記各走査線と同じ層層の導体層からなり、且つ、断面形状が矩形乃至楕円メサ状の補助容量バスラインを設けたことを特徴とする請求項9記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関するものであり、特に、OA端末やプロジェクター等に用いる輝度ムラを改善したアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】 従来、液晶表示装置は小型・軽量・低消費電力であるため、OA端末やプロジェクター等に使用されたり、或いは、携帯可能性を利用して小型液晶テレビ等に使用されており、これらの機器において表示性能の向上と低消費電力化がさらに要請されている。

【0003】 これらの機器の低消費電力化のためにはバックライトの光利用効率を高めることが必要であり、そのためには液晶パネルにおける画素開口率（ブラックマトリクスの開口面積/1画素の占有面積）の向上が必要となる。

【0004】 例えば、液晶プロジェクターに使用されるパネルの場合には、パネルの大きさは対角7.6cm程度（～3インチ）と小さいものの、解像度は大きき対角25.4cm程度（～10インチ）のOA端末用液晶表示装置と同等の解像度が要求されている。このため、1画素のピッチは必然的に小さくなるが、このようなOA端末用液晶表示装置より面積の小さいパネルにおいて画素ピッチを小さくした場合、位相合わせ精度が問題となって、要求される解像度を得ることが困難であった。

【0005】 その理由を、従来の液晶表示装置の画素構成の上面図を示した図10（図においては、1画素分を示す）によって説明する。

図10参照

従来の液晶表示装置の画素は、TFT基板11上に、信号線（ゲータバスライン）12及び走査線（ゲータバスライン）13を互いに交差するように設けると共に、信

(3)

特開平8-166599

3

号線12に接続する多結晶シリコン或いはアモルファスシリコンからなる半導体層及び走査線に接続するゲート電極14を設けて画素をスイッチングするTFTを構成し、このTFTのソース16（15はドレイン）に接続する画素電極17を設ける。

【0006】この場合、対向基板側にはブラックマトリクス等の遮光膜を設けて、図において破線で示す遮光膜の境界38で囲まれた領域を表す用の開口部としているが、この様な液晶表示装置において、TFT基板側における位置合わせ精度、即ち、各電極等のフォトリソグラフィ工程における位置合わせにおいて必要なマージンaは3～5μmであり、また、TFT基板と対向基板の位置合わせ精度、即ち、対向基板をTFT基板に接着する際に必要とするマージンbは～7μm程度であるので、画素ピッチを微細化するにしがたって画素開口率を大きくすることは困難であった。なお、この場合の、信号線12の幅d₁及び走査線13の幅d₂は、約10μmである。

【0007】この問題を解決するために、従来、対向基板上に設けられていたブラックマトリクス等の遮光膜をTFT基板側に設けることが提案されている。この場合には、TFT基板と対向基板の位置合わせ精度の問題はなくなるが、TFT基板側の遮光膜と他の電極との位置合わせの問題や遮光膜を形成する際の工程の遅しさが新たに生じ、画素開口率の向上はそれほど達成できなかった。

【0008】また、別の改良として、図11に示すような信号線12と画素電極17とをオーバーラップさせて、信号線12が遮光膜を兼ねるようにした高画素開口率型液晶表示装置が提案されている。なお、図11(a)は、TFT基板側の画素構成の上面図（図においては、1画素分を示す）であり、図11(b)は、図11(a)のA及びA'を結ぶ一点鎖線における断面図である。

【0009】図11(a)及び(b)参照
この高画素開口率型液晶表示装置の画素は、図10と同様にTFT基板11上に、信号線12及び走査線13をSiO₂膜等の第1層間絶縁膜26を介して互いに交差するように設けると共に、信号線12に接続する多結晶シリコン或いはアモルファスシリコンからなる半導体層及び走査線に接続するゲート電極14を設けて画素をスイッチングするTFTを構成する。

【0010】次いで、信号線12を覆うようにSiO₂膜等の第2層間絶縁膜27を設けた後、ITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の信号線12と隣接する画素の信号線12の両者にかかる画素電極17を形成する。

【0011】この場合、この画素の信号線12と隣接する画素の信号線12とを遮光膜としても用いることにより、この画素の信号線12と隣接する画素の信号線12

4

の互いに向向する辺が信号線12の延在方向に沿った遮光膜の境界38の一部を形成し、他方、対向基板に設けたブラックマトリクス等の遮光膜は走査線13の延在方向に沿った、即ち、信号線12の配列方向に沿った遮光膜の境界38の他部を形成する。

【0012】この様に、図11において破線で示す遮光膜の境界38によって規定される画素開口は信号線12の配列方向に沿った方向では、信号線12の幅を除いて画素ピッチ全体を開口部としているので、画素開口率を大幅に向上させることができる。

【0013】

【発明が解決しようとする課題】しかしながら、図11に示した高画素開口率型液晶表示装置においては、輝度ムラが生ずるという欠点があり、この欠点を図12を用いて説明する。なお、図12(a)は、図11に示す高画素開口率型液晶表示装置の画素部の等価回路であり、また、図12(b)は、駆動時における各信号波形及び各点における電位変化を示す図である。

【0014】図12(a)参照

n番目の信号線nに接続される画素はスイッチング素子であるTFTと、画素電極P_n—被膜—対向電極P_{com}とから構成される画素容量C_{pn}とにより構成されるが、実際には、画素電極P_nと信号線n及び画素電極P_nと隣接する画素の信号線n+1とのオーバーラップ部に大々寄生容量C_{pn+1}及びC_{p,n+1}が形成される。なお、図におけるV_{com}は対向電極に印加する共通電圧であり、さらに、走査線に接続するゲート電極とTFTのソースとの間にも寄生容量が形成されている。

【0015】図12(b)参照

この様な構成の画素に対して、信号線nに信号電圧を印加した状態で走査線に走査信号を加えて画素電極P_nに接続するTFTをONすると、画素電位はV_{pn}となり、画素容量C_{pn}は信号線nの信号電圧によって電荷Q_{pn}（=C_{pn}×(V_{pn}-V_{com}））、なお、V_{pn}-V_{com}は液晶電圧である）が充電され、次いで走査信号がOFFすることによってTFTもOFFし、画素容量C_{pn}は信号線nから切り離され充電状態を保つ。なお、この場合に、ゲート電極とTFTのソースとの間の寄生容量によって、後述する画素電位の変動と同じ理由によって画素電位がΔV_{pn}だけ低下する。以下、このΔV_{pn}だけ低下した画素電位をV_{pn}とする。

【0016】次いで、信号線nの信号電圧が負に反転すると、この信号電圧の変動ΔV_{pn}に伴って画素電位V_{pn}もΔV_{pn}だけ低下する。即ち、信号電圧の反転に伴って電荷Q_{pn}が蓄積された画素容量C_{pn}に画素電極P_nと信号線nとのオーバーラップ部の寄生容量C_{pn+1}が接続されることにより、Q_{pn+1}の一部が寄生容量C_{pn}に移動し、画素電位が新たな画素電位V'_{pn+1}（=V_{pn}-ΔV_{pn}）に安定するまで電荷の移動が行われる。

【0017】この寄生容量C_{pn}には、Q_{pn+1}=C_{pn}×

(4)

特開平8-166599

5

($\Delta V_n - \Delta V_r$) の電荷が充電されることになり、また、電荷保存の法則から、 $Q_{n+1} = Q'_{n+1} + Q_{n+1}$ であるので、画素電位の電位変動 ΔV_r は、 $\Delta V_r = V_{r,n} - V'_{r,n} = Q_{n+1} / C_{n+1} - Q'_{n+1} / C_{n+1} = 1 / C_{n+1} \times (Q_{n+1} - Q'_{n+1}) = Q_{n+1} / C_{n+1} = C_{r,n} \times (\Delta V_n - \Delta V_r) / C_{n+1}$

この式を整理することにより、

$$\Delta V_r \times C_{n+1} = C_{r,n} \times (\Delta V_n - \Delta V_r)$$

したがって、 $(C_{r,n} + C_{n+1}) \times \Delta V_r = C_{r,n} \times \Delta V_n$ となるので、 $\Delta V_r = [C_{r,n} / (C_{r,n} + C_{n+1})] \times \Delta V_n$ となる。

【0018】この画素電位の変動 ΔV_r に伴って、液晶電圧 ($V_{r,n} - V_{c,n}$) も同じだけ低下することになる。なお、次の走査信号が印加された場合には、信号電圧が負になっているので、逆方向の充電が生じ、信号電圧が正に反転した時には、上記と同じ理由で画素電位が ΔV_r だけ上昇し、液晶電圧は ΔV_r だけ低下する。この画素電位の変動 ΔV_r は、信号線の電圧変化のみならず、隣接する画素の信号線 $n+1$ の電圧変化の影響も同じように受けるものである。

【0019】次に、信号線 n の電圧 $V_{n,n}$ の変化と信号線 $n+1$ の電圧 $V_{n+1,n}$ の変化が逆相の場合について、図13を参照して説明する。

図13参照

図12の場合と同様に、信号線 n に信号電圧 $V_{n,n}$ を印加した状態で走査線に走査電圧を加えて画素電極 P_n に接続する TFT を ON すると、画素電位は $V_{n,n}$ となり、画素容量 C_{n+1} は、信号線 n の信号電圧 $V_{n,n}$ によって充電され、次いで走査信号が OFF することによって TFT も OFF し、画素容量 C_{n+1} は信号線 n から切り離され充電状態を保つ。なお、この場合にも、ゲート電極と TFT のソースとの間の寄生容量によって、画素電位が若干低下する。

【0020】次いで、信号線 n の電圧 $V_{n,n}$ と信号線 $n+1$ の電圧 $V_{n+1,n}$ が同時に、且つ、逆相で変化した場合には、信号電圧 $V_{n,n}$ による変動 ΔV_r と信号電圧 $V_{n+1,n}$ による変動 ΔV_{r+1} とが互いに逆方向の変化になるので相殺される。特に、信号線 n の寄生容量 $C_{n,n}$ と信号線 $n+1$ の寄生容量 $C_{n+1,n}$ が同じ大きさで、且つ、 $V_{n,n}$ の絶対値と電圧 $V_{n+1,n}$ の絶対値が同じ場合には、 $\Delta V_r = -\Delta V_{r+1}$ となり、電位変動は完全に相殺され表示輝度に変化は現れない。

【0021】次に、信号線 n の電圧 $V_{n,n}$ の変化と信号線 $n+1$ の電圧 $V_{n+1,n}$ の変化が同相の場合について、図14を参照して説明する。

図14参照

この場合にも、図13の場合と同様に、信号線 n に信号電圧 $V_{n,n}$ を印加した状態で走査線に走査電圧を加えて画素電極 P_n に接続する TFT を ON すると、画素電位は $V_{n,n}$ となり、画素容量 C_{n+1} は信号線 n の信号電圧 $V_{n,n}$

6

によって充電され、次いで走査信号が OFF することによって TFT も OFF し、画素容量 C_{n+1} は信号線 n から切り離され充電状態を保つ。

【0022】次いで、信号線 n の電圧 $V_{n,n}$ と信号線 $n+1$ の電圧 $V_{n+1,n}$ が同時に、且つ、同相で変化した場合には、信号電圧 $V_{n,n}$ による変動 ΔV_r と信号電圧 $V_{n+1,n}$ による変動 ΔV_{r+1} とが互いに同方向の変化になるので、変化が強調され、画素電位は大きく変化して液晶電圧が低下する。

【0023】この場合、ある一定の輝度の表示をしようとしても、信号電圧の変化前と変化後の液晶電位が異なることにより輝度のゆがぎが生じ、また、この様な隣接する信号線間における同相の電圧変動と逆相の電圧変動とが、液晶表示装置のパネル内で同時に起きた場合、例えば、黒表示時においては液晶電圧が実効的に低下する領域と低下しない領域とが生じ、その電圧差が輝度ムラとして認識されることになる。

【0024】したがって、本発明は、高画素開口率のアクティブマトリクス型液晶表示装置において、表示パネル内の輝度ムラをなくすことを目的とする。

【0025】

【課題を解決するための手段】本発明は、アクティブマトリクス型液晶表示装置において、 n 番目の信号線とこの信号線に隣接する $n+1$ 番目の信号線の少なくとも一部に重なるように画素電極 (図2の17) を設けると共に、少なくとも1画素に対して1つの分割対向電極 (図2の25) を設け、分割対向電極に対して走査電圧が印加された時に共通電圧を印加し、それ以外の時には分割対向電極をフローティングにする信号パルスを与える外部信号電源を設けたことを特徴とする。

【0026】また、本発明は、アクティブマトリクス型液晶表示装置において、 n 番目の信号線とこの信号線に隣接する $n+1$ 番目の信号線の少なくとも一部に重なるように画素電極を設けると共に、走査線上の画素に対して、ストライプ状対向電極 (図3の32) を設け、且つ、ストライプ状対向電極に共通電圧を印加する期間と、ストライプ状対向電極が束ねた走査線の数と一水平期間との積にすると共に、それ以外の時にはストライプ状対向電極をフローティングにする信号パルスを与える外部信号電源を設けたことを特徴とする。

【0027】また、本発明は、アクティブマトリクス型液晶表示装置において、 n 番目の信号線とこの信号線に隣接する $n+1$ 番目の信号線の少なくとも一部に重なるように画素電極 (図5の17) を設けると共に、画素電極を挟んで各信号線 (図5の12) と対向し且つ画素電極と容量結合するバスライン (図5の40) を設け、このバスラインに、このバスラインと対向する信号線に印加する信号とは反対の極性の信号を印加する手段を設けたことを特徴とする。

【0028】また、本発明は、アクティブマトリクス型

(5)

特開平8-166599

7

液晶表示装置において、 n 番目の信号線とこの信号線に隣接する $n+1$ 番目の信号線の少なくとも一部に重なるように画素電極（図6の17）を設けると共に、画素電極と n 番目の信号線（図6の12）又は $n+1$ 番目（図6の12）の信号線の少なくとも一方との間に、画素電極と容量結合する導電性薄膜（図6の41）を設け、この導電性薄膜に、導電性薄膜を設けた側とは別の側の信号線に印加する信号とは反対の極性の信号を印加する手段を設けたことを特徴とする。

【0029】また、本発明は、アクティブマトリクス型液晶表示装置において、 n 番目の信号線とこの信号線に隣接する $n+1$ 番目の信号線の少なくとも一部に重なるように画素電極（図6の17）を設けると共に、前記各信号線（図6の12）を高抵抗薄膜（図6の43）で被覆したことを特徴とする。

【0030】また、本発明は、アクティブマトリクス型液晶表示装置において、 n 番目の信号線とこの信号線に隣接する $n+1$ 番目の信号線の少なくとも一部に重なるように画素電極（図7の17）を設けると共に、各信号線（図7の12）の断面形状を逆メサ状にすることによって、各信号線上の画素電極と、各信号線間の画素電極とを電気的に分離したことを特徴とする。また、本発明は、各信号線（図7の12）の下に、各信号線と同じ方向に延在する導電膜（図7の46）を設けたことを特徴とする。

【0031】また、本発明は、アクティブマトリクス型液晶表示装置において、 n 番目の走査線とこの走査線に隣接する $n+1$ 番目の走査線の少なくとも一部に重なるように画素電極（図8の17）を設けると共に、各走査線（図8の13）の断面形状を逆メサ状にすることによって、各走査線上の画素電極と、各走査線間の画素電極とを電気的に分離したことを特徴とする。

【0032】

【作用】図1は、本発明の第1の実施例の原理的構成及び作用を説明する図で、図1（a）は原理構成を示す概念的回路図であり、また、図1（b）は、作用を説明するための各電圧波形を示す図である。

【0033】図1（a）参照
画素容量1の一方の電極を構成する画素電極2にTFT等のスイッチング手段3を介して信号線4より信号電圧 V_{s1} を印加すると共に、画素容量1の他方の電極を構成する分割対向電極5にTFT等のスイッチング手段6を介して共通電源より共通電位（対向電位） V_{co} を印加する。この場合、図12において説明したように、 n 番目の信号線4と画素電極1との間に寄生容量 $C_{n,9}$ が、また、及び $n+1$ 番目の信号線4と画素電極1との間に寄生容量 $C_{n+1,10}$ が形成され、この寄生容量 $C_{n,9}$ 及び寄生容量 $C_{n+1,10}$ には、夫々信号電圧 V_{s1} 、7及び信号電圧 V_{s1+1} 、8が印加されることになる。

【0034】図1（b）参照

8

ここでスイッチング手段6をONにした状態でスイッチング手段3をONにして、画素容量1に信号電圧 V_{s1} を印加して充電したのち、スイッチング手段3をOFFにする。ついで、信号電圧 V_{s1} 、7及び信号電圧 V_{s1+1} 、8が変化した場合、スイッチング手段6がONのままの従来の構成においては、図12において説明した理由によって信号電圧 V_{s1} 、7及び信号電圧 V_{s1+1} 、8の変化に応じて液晶電圧が ΔV_1 だけ低下することになる。

【0035】しかし、ここで、本発明のように、スイッチング手段3がONの時のみ、スイッチング手段6をONにすることによって、信号 V_{s1} 及び V_{s1+1} が変化する時には、分割対向電極5はフローティング状態になっているので、電荷の移動が生ぜず、したがって、画素電圧が変化しないので液晶電圧も変化せず、輝度ムラが生じなくなる。

【0036】次に、別の実施例のように、1本以上の走査線上の画素に対して、少なくとも1本のストライプ状の対向電極を設け、ストライプ状対向電極に印加する走査電圧の印加期間を、ストライプ状対向電極が束ねた走査線の数と一水平期間との積にした場合には、対向電極をスイッチングするための素子数を大幅に低減することができ、装置の製造及び駆動が簡単になる。

【0037】また、画素電極を挟んで信号線と対向し且つこの画素電極と容量結合するバスラインを設け、このバスラインに信号線に印加する信号とは反対の極性の信号を印加することによって、図13に関して説明した理由によって、寄生容量に基づく電圧変動が相殺され、液晶電圧の変動が防止できる。

【0038】また、画素電極と n 番目の信号線又は $n+1$ 番目の信号線の少なくとも一方との間に、画素電極と容量結合する導電性薄膜を設け、この導電性薄膜に、導電性薄膜を設けた側とは別の側の信号線に印加する信号とは反対の極性の信号を印加することにより、寄生容量に基づく電圧変動を低減し、液晶電圧の変動を低減する。

【0039】また、信号線を高抵抗薄膜で被覆することによって、寄生容量は高抵抗成分を介して画素容量に接続されることになるので、信号電圧の波形が鈍り液晶電圧の変化を低減させることができる。

【0040】また、信号線の断面形状を逆メサ状にすることによって、寄生容量の原因となる信号線上の画素電極と信号線間の画素電極とを電気的に分離し、液晶電圧の変動を防止することができる。また、信号線の下に導電膜を設けることにより段差が大きくなり、段切れが起きやすくなる。

【0041】また、走査線の断面形状を逆メサ状にすることによって、走査線上の画素電極と走査線間の画素電極とを電気的に分離し、走査電圧の変動に起因する電圧変動をなくし、液晶電圧の変化を低減させることができ

(6)

特開平8-166599

9

【0042】

【実施例】図2は本発明の第1の実施例の説明図であり、図2(a)はアクティブマトリクス型液晶表示装置の一部を拡大し、且つ、一部を透視的に図示した斜視図であり、また、図2(b)は、アクティブマトリクス型液晶表示装置の画素部を図2(a)のA-B-C-Dで囲む面で切断した場合の断面図である。

【0043】図2(a)及び(b)参照

まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、信号線12及び走査線13をSiO₂膜等の第1層間絶縁膜26を介して互いに交差するように設けると共に、信号線12に接続する多結晶シリコン層、及び、走査線に接続するゲート電極14を設けて画素をスイッチングするスタガ型TFTを構成する。なお、多結晶シリコン膜を最初に堆積させて、次いで、ゲート電極14を走査線13のパターニングと同時にパターニングしても良い。

【0044】次いで、信号線12を覆うようにSiO₂膜等の第2層間絶縁膜27を設けた後、ITO等の導電膜を蒸着してパターニングすることによって一部がこの画素の信号線12及び隣接する画素の信号線12の両者にかかる画素電極17を形成する。

【0045】一方、このTFT基板11に対向する1対向基板19側にも、TFT基板11側の画素に1:1に対向するTFTを設ける。このTFTの構成は、TFT基板11側のTFTの構成と基本的に同等であり、違いは、信号線20及び走査線21がITO等の導電膜で構成されること、分割対向電極25が信号線20にかからないように形成したことである。

【0046】即ち、まず、対向基板19上にITO等の透明導電膜からなる信号線20及び走査線21をSiO₂膜等の第1層間絶縁膜28を介して互いに交差するように設けると共に、信号線20に接続する多結晶シリコン層及び走査線に接続するゲート電極22を設けて画素をスイッチングするTFTを構成する。なお、この場合にも、多結晶シリコン膜を最初に堆積させて、次いで、ゲート電極22を走査線21のパターニングと同時にパターニングしても良い。

【0047】次いで、信号線20を覆うようにSiO₂膜等の第2層間絶縁膜29を設けた後、ITO等の導電膜を蒸着してパターニングすることによってその一部が信号線20にかからないように分割対向電極25を形成する。

【0048】次に、この液晶表示装置の駆動方法を説明する。まず、対向基板19側の走査線21にTFT基板側11側の走査線13に印加したのと同等の信号(オン期間=1水平期間)を印加し、次いで、全ての信号線20に対向基板19側のTFTのゲートソース間の寄生容量の影響をなすために次式で定義されるコンモ電圧V_{com}を印加する。

10

$$V_{com} = [C_{cs} / (C_{cs} + C_{p11})] \times \Delta V_0$$

但し、C_{cs}:対向基板19側のTFTのゲートソース間の寄生容量

ΔV₀:走査信号の振幅

【0049】この様にすると、対向基板19に設けた分割対向電極25には画素の充電期間中にV_{com}が印加されると共に、保持期間中にはフローティングになるので、図1に関して説明したように、TFT基板11側の信号線12の電位が変化しても、液晶電圧が変化することなく一定に保たれるので、輝度に変化することなく、輝度ムラが生じない。

【0050】また、この場合には、TFTを構成する半導体層としてアモルファスシリコンに比べてキャリア移動度(この場合には、電子移動度)の高い多結晶シリコンを用いているので、上記のような電圧V_{com}を発生させるための駆動回路及び走査回路を対向基板19上に集積化して設けることができる。

【0051】次に、図3を参照して、分割対向電極としてストライプ状対向電極を用いた本発明の第2の実施例を説明する。

図3(a)及び(b)参照

TFT基板11上に設けた1本の走査線方向に並んだ全ての画素を1ブロックとして、複数の走査線ブロック(図の場合には、5ブロック)に対して1つのストライプ状対向電極32を対向基板19上に設けたもので、この1つのストライプ状対向電極32に対して一つの多結晶シリコンTFT等のスイッチング素子(図示せず)を設ける。

【0052】そして、この液晶表示装置の駆動に際しては、図3(a)に示すように、画素に対する走査回路(ゲートドライバ)31からの走査信号に同期するように、この1つのストライプ状対向電極32に対して一水平期間の5倍のオン期間t₁のバース幅の走査信号33を印加する。なお、30は画素に対する信号回路(データドライバ)である。この場合には、輝度ムラ改善効果は若干低下するものの、分割対向電極の数及びTFT等の数を第1の実施例に比べて大幅に少なくすることができるので、製造が容易になり、且つ、製造歩留りも向上する。

【0053】なお、図においては5ブロックに対して1つの対向電極を設けているが、5ブロックに限られるのではなく、任意の走査線ブロックを束ねた、束ねた走査線ブロックに対して1つのストライプ状対向電極を設ければ良いものである。この場合、ストライプ状対向電極に印加する走査信号のオン期間は、束ねた走査線ブロック数×1水平期間とすれば良い。

【0054】次に、図4を参照して、半導体層としてアモルファスシリコン層を用いた本発明の第3の実施例を説明する。

図4参照

(7)

特開平8-166599

11

この実施例においては、TFT基板11の表示部及び対向基板19の対向電極部の構成は、第1の実施例と同様であるが、スイッチング用TFTをアモルファスシリコンで構成している点で第1の実施例と異なり、それに伴って、駆動回路の構成が相違するものであるが、動作及び作用は第1の実施例と同様である。

【0055】即ち、アモルファスシリコンを用いたTFTは、動作速度が遅いので、信号回路及び走査回路を他の半導体を用いたトランジスタから構成される外部回路として設ける必要があり、その外部回路とTFT基板11の信号線及び走査線、或いは、対向基板19の走査線とを結ぶ信号側TAB34、走査側TAB35、及び、対向基板走査用TAB37を設けたもので、さらに、対向基板19側の信号線に共通電圧 V_{cs} を印加するための対向基板側信号用電源36をTFT基板11上に設ける。

【0056】なお、この場合にも、第2の実施例と同様に、対向電極をストライプ状対向電極としても良く、その場合には、ストライプ状対向電極の数に応じた構成を有する対向基板走査用TAB及び外部走査回路を設ければ良い。

【0057】次に、図5を参照して本発明の第4の実施例を説明する。なお、図5(a)は、画素部のTFT基板側の断面図であり、また、図5(b)は、第4の実施例の等価回路である。

【0058】図5(a)参照

まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、信号線12及び走査線をSiO₂膜等の第1層間絶縁膜26を介して互いに交差するように設ける。なお、信号線12に接続する多結晶シリコン層、及び、走査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0059】次いで、信号線12を覆うようにSiO₂膜等の第2層間絶縁膜27を設けた後、ITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の信号線12及び隣接する画素の信号線12の両者にかかる画素電極17を形成し、次いで、SiO₂膜等からなる第3層間絶縁膜を介してA1等からなる導電膜を堆積させたのちパターンニングすることによって、画素電極17を挟んで信号線12と対向するバスライン40を形成する。

【0060】図5(b)参照

このn番目のバスライン40に、n番目の信号線12に印加する信号(n)と逆相の信号(図におけるnバー)を印加することにより、図13に関して説明した原理によって、n番目の信号線12に印加される信号電圧の変化に伴う液晶電圧の変化を相殺する。また、このn+1番目のバスライン40には、同様にn+1番目の信号線12に印加する信号(n)と逆相の信号(図におけるn+1バー)を印加する。

12

【0061】この場合、バスラインと画素電極とが形成する寄生容量 $C'_{n,n}$ と $C'_{n,n+1}$ が、信号線と画素電極とが形成する寄生容量 $C_{n,n}$ と $C_{n,n+1}$ と夫々等しい場合には、バスラインには信号線と同じ振幅の電圧を印加すれば良く、また、互いの寄生容量が異なる場合には、寄生容量の差を相殺するような振幅の関係を有する信号を印加することが望ましい。

【0062】次に、図6(a)を参照して本発明の第5の実施例を説明する。

図6(a)参照

図6(a)は、画素部のTFT基板側の断面図であり、まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、信号線12及び走査線をSiO₂膜等の第1層間絶縁膜26を介して互いに交差するように設ける。なお、信号線12に接続する多結晶シリコン層、及び、走査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0063】次いで、信号線12を覆うようにSiO₂膜等の第2層間絶縁膜27を設けた後、SiO₂膜等からなる第2層間絶縁膜27を介してA1等からなる導電膜を堆積させてパターンニングすることによって、信号線12の両部の方に導電性薄膜41を形成する。

【0064】次いで、同じくSiO₂膜等からなる第4層間絶縁膜42を介してITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の信号線12及び隣接する画素の信号線12の両者にかかる画素電極17を形成する。

【0065】この場合、n+1番目の信号線12の両部に設けた導電性薄膜41に、n番目の信号線に印加する信号と逆相の信号を印加することにより、同じく図13に関して説明した原理によって、n番目の信号線に印加される信号電圧の変化に伴う液晶電圧の変化を相殺する。

【0066】なお、上記第5の実施例においては、n+1番目の信号線12側に導電性薄膜41を設けているが、n番目の信号線12側(図の反対側の両部)に設けても良く、この場合には、n番目の信号線12の両部に設けた導電性薄膜41に、n+1番目の信号線に印加する信号と逆相の信号を印加することにより、図13に関して説明した原理によって、n+1番目の信号線に印加される信号電圧の変化に伴う液晶電圧の変化を相殺する。

【0067】次に、図6(b)を参照して本発明の第6の実施例を説明する。

図6(b)参照

図6(b)は、画素部のTFT基板側の断面図であり、まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、信号線12及び走査線をSiO₂膜等の第1層間絶縁膜26を介して互いに交差するように設ける。なお、信号線12に接続する多結晶シリコン層、及び、走

(8)

特開平8-166599

13

査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0068】次いで、信号線12を覆うように高抵抗の多結晶シリコン等の薄膜層を堆積させたのちパターンニングして高抵抗薄膜43を形成し、次いで、SIO₂膜等の第2層間絶縁膜27を介してITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の信号線12及び隣接する画素の信号線12の両者にかかる画素電極17を形成する。

【0069】この場合には、信号線12と画素電極17との間に形成される寄生容量は、高抵抗薄膜43に起因する直列接続抵抗成分を介して画素容量に接続されることにより、電圧変動の際に電圧波形が鈍るので、液晶電圧の変動を低減することができる。なお、この場合の、高抵抗薄膜43は多結晶シリコンで形成しているが、多結晶シリコンに限られるものではなく、アモルファスシリコンや他の半導体薄膜でも良いし、さらに、NiCr等の高抵抗の金属薄膜でも良い。

【0070】次に、図7(a)を参照して本発明の第7の実施例を説明する。

図7(a)参照

図7(a)は、画素部のTFT基板側の断面図であり、まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、断面形状が逆メサ状の信号線12をSIO₂膜等の第1層間絶縁膜26を介して走査線と交差するように設ける。なお、この逆メサ形状は、信号線をパターンニングする際のエッチャント等のエッチング条件を調節することによって形成し、また、信号線12に接続する多結晶シリコン層、及び、走査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0071】次いで、SIO₂膜等の第2層間絶縁膜27を堆積させたのち、ITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の信号線12及び隣接する画素の信号線12の両者にかかる画素電極17を形成する。この場合、ITO等の導電膜はステップ・カバレッジがあまり良好ではないため、断面が逆メサ状の信号線12の鋭角な肩部において、画素電極膜の薄層化や、段切れが生ずる。

【0072】したがって、信号線12間に存在する大部分の画素電極17は、寄生容量を構成する信号線12上に存在する画素電極17と、段切れ部44或いは薄層化による高抵抗部45によって電気的に分断されることになるので、信号線12の電圧変動が信号線12上に存在する画素電極17を介して画素電位に影響することがなくなり、液晶電圧の変動が防止できる。

【0073】次に、図7(b)を参照して本発明の第8の実施例を説明する。

図7(b)参照

図7(b)は、画素部のTFT基板側の断面図であり、

14

まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、走査線と交差する方向に沿った導電膜46を設けたのち、SIO₂膜等の第1層間絶縁膜26を介して導電層を堆積させパターンニングすることによって、断面形状が逆メサ状の信号線12を導電膜46上に形成する。なお、この逆メサ形状は、信号線をパターンニングする際のエッチャント等のエッチング条件を調節することによって形成するものであり、また、信号線12に接続する多結晶シリコン層、及び、走査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0074】次いで、SIO₂膜等の第2層間絶縁膜27を堆積させたのち、ITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の信号線12及び隣接する画素の信号線12の両者にかかる画素電極17を形成する。この場合にも、ITO等の導電膜はステップ・カバレッジがあまり良好ではないため、導電膜46によって段差が強調され、且つ、断面が逆メサ状の信号線12の肩部において、画素電極膜の薄層化や、段切れが生じやすくなる。

【0075】したがって、信号線12間に存在する大部分の画素電極17は、寄生容量を構成する信号線12上に存在する画素電極17と段切れ部44或いは薄層化による高抵抗部45によって、電気的に分断されることになるので、信号線12の電圧変動が信号線12上に存在する画素電極17を介して画素電位に影響することがなくなり、液晶電圧の変動が防止できる。

【0076】なお、上記第8の実施例における導電膜46は、走査線を形成するための導体層、即ち、走査線と同じ階層の導体層からパターンニングすることによって形成しても良く、この場合には、走査線同士の短絡を防止するために、適当な形状にパターンニングが必要があり、また、導電膜46によって段差が強調されて段切れが生じやすくなっているため、導電膜46上に設ける信号線12は必ずしも断面形状が逆メサ状である必要はなく、矩形状或いは順メサ状であっても良い。

【0077】次に、図8を参照して本発明の第9の実施例を説明する。なお、図8(a)は、TFT基板側の画素構成の上面図(図においては、1画素分を示す)であり、図8(b)は、図8(a)のB及びB'を結ぶ一点鎖線における断面図である。

【0078】図8(a)及び(b)参照

まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、断面形状が逆メサ状の走査線13を信号線12と交差する方向に沿って形成したのち、第1層間絶縁膜26を介してA1等の導電層を堆積させパターンニングすることによって、信号線12を形成する。なお、この逆メサ形状は、走査線をパターンニングする際のエッチャント等のエッチング条件を調節することによって形成するものであり、また、信号線12に接続する多結晶シリ

(9)

特開平8-166599

15

コン層、及び、走査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0079】次いで、 SiO_2 膜等の第2層間絶縁膜27を堆積させたのち、ITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の走査線13及び隣接する画素の走査線13の両者にかかる画素電極17を形成する。この場合にも、ITO等の導電膜はステップ・カバレッジがあり良好ではないため、断面が逆メサ状の走査線13の肩部において、画素電極膜の薄層化、や段切れが生じる。

【0080】したがって、走査線13間に存在する大部分の画素電極17は、寄生容量を構成する走査線13上に存在する画素電極17と、段切れ部44或いは薄層化による高抵抗部45によって電気的に分断されることになるので、走査線13の電圧変動が走査線13上に存在する画素電極17を介して画素電位に影響することがなくなり、液晶電圧の変動が防止できる。

【0081】次に、図9を参照して本発明の第10の実施例を説明する。なお、図9(a)は、TFT基板側の画素構成の上面図(図においては、1画素分を示す)であり、図9(b)は、図9(a)のC及びC'を結ぶ一点鎖線における断面図である。

【0082】図9(a)及び図9(b)参照
まず、ガラス基板等の絶縁性基板からなるTFT基板11上に、断面形状が逆メサ状の走査線13及び断面形状が矩形状の補助容量バスライン47を信号線12と交差する方向に沿って形成したのち、 SiO_2 膜等の第1層間絶縁膜26を介してA1等の導電体を堆積させパターンニングすることによって、信号線12を形成する。

【0083】なお、この逆メサ形状は、走査線13をパターンニングする際のエッチャント等のエッチング条件を調節することによって形成するものであり、走査線13と補助容量バスライン47をパターンニングする条件を変えることによって、断面形状に差をもたせることが可能になる。また、信号線12に接続する多結晶シリコン層、及び、走査線に接続するゲート電極は、液晶表示装置の種類に応じて適当な時期に形成する。

【0084】次いで、 SiO_2 膜等の第2層間絶縁膜27を堆積させたのち、ITO等の導電膜を蒸着してパターンニングすることによって一部がこの画素の走査線13及び隣接する画素の走査線13の両者にかかる画素電極17を形成する。この場合にも、ITO等の導電膜はステップ・カバレッジがあり良好ではないため、断面が逆メサ状の走査線13の鋭角な肩部において、画素電極膜の薄層化、や段切れが生じるが、断面が略矩形状の補助容量バスライン47の直角乃至鈍角な肩部においては画素電極膜の薄層化や段切れが生じない。

【0085】したがって、走査線13間に存在する大部分の画素電極17は、補助容量バスライン47の肩部においては画素電極膜の薄層化や段切れが生ずることなく

16

一体の画素電極として機能すると共に、寄生容量を構成する走査線13上に存在する画素電極17とは段切れ部44或いは薄層化による高抵抗部45によって電気的に分断されることになるので、走査線13の電圧変動が走査線13上に存在する画素電極17を介して画素電位に影響することがなくなり、液晶電圧の変動が防止できる。

【0086】なお、上記第10の実施例における補助容量バスライン47は、信号線に印加する信号による液晶電圧の変動を防止するために設けるものであり、また、この補助容量バスライン47は、走査線13を形成するための導体層からパターンニングすることによって形成しても良いものである。

【0087】また、上記第4の実施例乃至第10の実施例においては、対向電極の構成については説明していないが、寄生容量に起因する不所望な変圧変動はTFT基板側の構成を工夫することによって防止しているため、従来のアクティブマトリクス型液晶表示装置のようにベタ状の一体の対向電極で良いものであるが、不所望な変圧変動をより確実に防止するために上記実施例1乃至3に示した分割対向電極を用いても良い。

【0088】また、上記各実施例においては、層間絶縁膜として SiO_2 を用いているが、可視光に対して透明な絶縁膜であれば良いものであり、例えば、シリコン窒化膜であっても良い。

【0089】また、上記各実施例においては、スイッチング素子としてスタガ型TFTを用いているが、スタガ型TFTに限られるものではなく、ゲート電極がTFT基板上に直接設け、その上に半導体層を堆積させる型のTFTを用いても良く、この場合にも、走査線を先に堆積させてから、多結晶シリコン膜を堆積させ、次いで、第1層間絶縁膜を介して信号線を形成することになる。

【0090】

【発明の効果】本発明によれば、信号線或いは走査線の電圧変動に応じた液晶電圧の変動を防止するために、画素電極に対向する対向電極を分割対向電極として設け、この分割対向電極に対して、対向する画素電極に接続したTFTのゲート電極に印加する走査信号に依存する走査信号を印加したり、また、画素電極を挟んで信号線と対向し且つこの画素電極と容量結合するバスラインを設け、このバスラインに信号線に印加する信号とは反対の極性の信号を印加したり、さらには、信号線或いは走査線の断面形状を逆メサ状にすることによって、信号線上或いは走査線上の画素電極と、信号線間或いは走査線間の画素電極とを電気的に分断することによって、寄生容量に起因する厚度ムラをなくすることができるので、高品質の高画素開口率アクティブマトリクス型液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の原理的構成及びその作

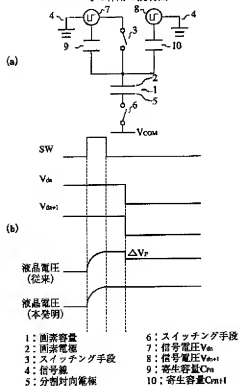
		(10)		特開平8-166599
	17		18	
用の説明図である。		14	ゲート電極	
【図2】本発明の第1の実施例の説明図である。		15	ドレイン	
【図3】本発明の第2の実施例の説明図である。		16	ソース	
【図4】本発明の第3の実施例の説明図である。		17	画素電極	
【図5】本発明の第4の実施例の説明図である。		18	液晶	
【図6】本発明の第5及び第6の実施例の説明図であ		19	対向基板	
る。		20	信号線	
【図7】本発明の第7及び第8の実施例の説明図であ		21	走査線	
る。		22	ゲート電極	
【図8】本発明の第9の実施例の説明図である。	10	23	ドレイン	
【図9】本発明の第10の実施例の説明図である。		24	ソース	
【図10】従来の液晶表示装置の画素構成の上面図であ		25	分割対向電極	
る。		26	第1層間絶縁膜	
【図11】従来の高画素開口率型液晶表示装置の画素構		27	第2層間絶縁膜	
成の説明図である。		28	第1層間絶縁膜	
【図12】従来の高画素開口率型液晶表示装置の動作の		29	第2層間絶縁膜	
説明図である。		30	信号回路	
【図13】隣接する信号線の信号電圧が逆相の場合の動		31	走査回路	
作の説明図である。		32	ストライプ状対向電極	
【図14】隣接する信号線の信号電圧が同相の場合の動	20	33	走査信号	
作の説明図である。		34	信号側TAB	
【符号の説明】		35	走査側TAB	
1 画素容量		36	対向基板側信号用電源	
2 画素電極		37	対向基板走査用TAB	
3 スイッチング手段		38	遮光膜の境界	
4 信号線		39	第3層間絶縁膜	
5 分割対向電極		40	バスライン	
6 スイッチング手段		41	導電性薄膜	
7 信号電圧 V_{s0}		42	第4層間絶縁膜	
8 信号電圧 V_{s0+1}	30	43	高抵抗薄膜	
9 寄生容量 C_{p0}		44	段切れ部	
10 寄生容量 C_{p0+1}		45	高抵抗部	
11 TFT基板		46	導電膜	
12 信号線		47	補助容量バスライン	
13 走査線				

(11)

特開平8-166599

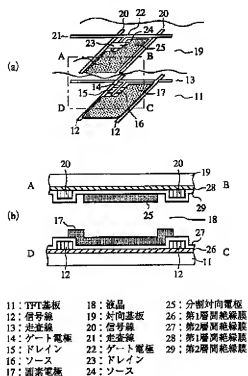
【図1】

本発明の第1の実施例の原理的構成及び
その作用の説明図



【図2】

本発明の第1の実施例の説明図

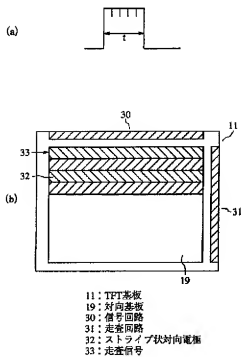


(12)

特開平8-166599

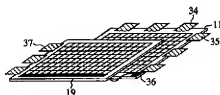
【図3】

本発明の第2の実施例の説明図



【図4】

本発明の第3の実施例の説明図

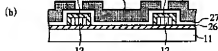
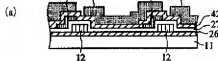
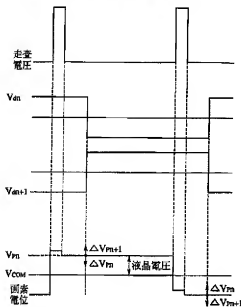


【図6】

本発明の第5及び第6の実施例の説明図

【図13】

隣接する信号線の信号電圧が逆相の場合の動作の説明図

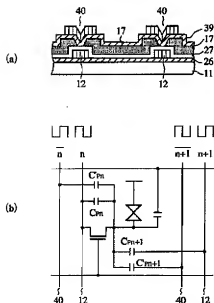


(13)

特開平8-166599

【図5】

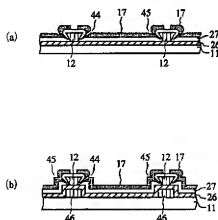
本発明の第4の実施例の説明図



11: TFT基板
12: 信号線
17: 画素電極
26: 第4層間絶縁膜
27: 第2層間絶縁膜
39: 第3層間絶縁膜
40: パスライン

【図7】

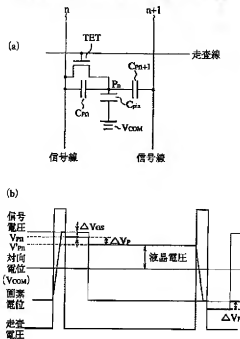
本発明の第7及び第8の実施例の説明図



11: TFT基板
12: 信号線
17: 画素電極
26: 第1層間絶縁膜
27: 第2層間絶縁膜
44: 段切れ部
45: 高抵抗部
46: 導電膜

【図12】

高画素開口率型液晶表示装置の動作の説明図

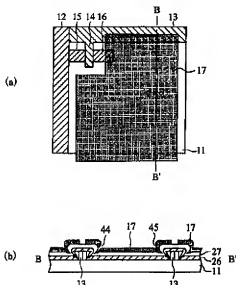


(14)

特開平8-166599

【図8】

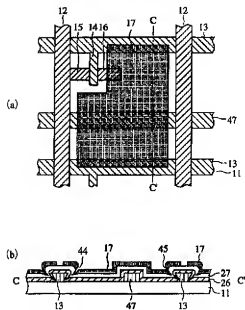
本発明の第9の実施例の説明図



- | | |
|-----------|-------------|
| 11: TFT基板 | 17: 画素電極 |
| 12: 信号線 | 26: 第1層間絶縁膜 |
| 13: 走査線 | 27: 第2層間絶縁膜 |
| 14: ゲート電極 | 44: 段切れ部 |
| 15: ドレイン | 45: 高抵抗部 |
| 16: ソース | |

【図9】

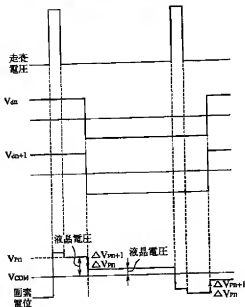
本発明の第10の実施例の説明図



- | | |
|-----------|---------------|
| 11: TFT基板 | 17: 画素電極 |
| 12: 信号線 | 26: 第1層間絶縁膜 |
| 13: 走査線 | 27: 第2層間絶縁膜 |
| 14: ゲート電極 | 44: 段切れ部 |
| 15: ドレイン | 45: 高抵抗部 |
| 16: ソース | 47: 補助容量バスライン |

【図14】

隣接する信号線の信号電圧が同相の場合の動作の説明図

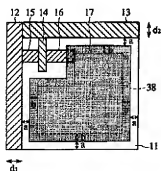


(15)

特開平8-166599

【図10】

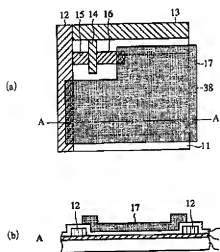
従来の液晶表示装置の画素構成の上図



11: TFT基板
12: 信号線
13: 走査線
14: ゲート電極
15: ドレイン
16: ソース
17: 画素電極
38: 遮光膜の境界

【図11】

従来の高画素開口率型液晶表示装置の画素構成の説明図



11: TFT基板
12: 信号線
13: 走査線
14: ゲート電極
15: ドレイン
16: ソース
17: 画素電極
26: 第1層間絶縁膜
27: 第2層間絶縁膜
38: 遮光膜の境界

フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336				
(72) 発明者 村上 浩			(72) 発明者 中林 謙一	
神奈川県川崎市中原区上小田中1015番地			神奈川県川崎市中原区上小田中1015番地	
富士通株式会社内			富士通株式会社内	
(72) 発明者 糸数 昌史			(72) 発明者 山本 彰	
神奈川県川崎市中原区上小田中1015番地			神奈川県川崎市中原区上小田中1015番地	
富士通株式会社内			富士通株式会社内	